

## OFFRE DE PROJET M1/M2

### [RISC-V@FPGA] Pico-RV32 @ Zybo Z7-20

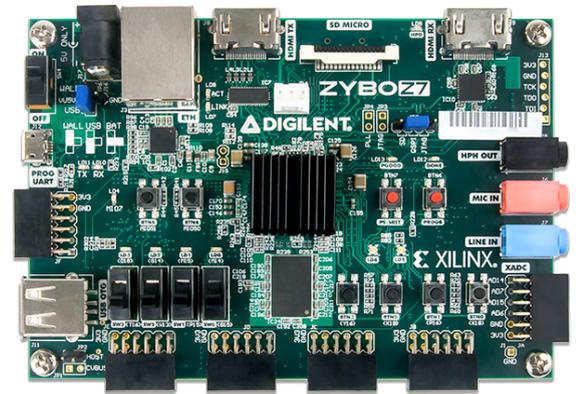
## Contexte

Il n'est, à ce jour, plus utile de revenir sur l'intérêt que représente l'architecture RISC-V et son jeu d'instructions open-source. Pour rappel, Alibaba a sorti un processeur 16 coeurs RISC-V@2.5GHz en 2020<sup>1</sup> et plus récemment, c'est Espressif (ESPs chips) qui lui a emboîté le pas avec ses ESP32-C3.

Cependant, même si les coeurs soft (i.e *IP soft*) NioS-V sont effectivement basés sur l'architecture RISC-V, il n'en reste pas moins qu'il n'existait pas, jusqu'à très récemment, de FPGA embarquant un ou plusieurs coeurs RISC-V sous la forme d'*IP hard*. En effet, les FPGAs qui intègrent un ou plusieurs coeurs ARM (e.g Xilinx Zynq, Altera CycloneV) existent mais le nouveau FPGA GoWin GW5AST intègre lui un *IP hard* RiscV AE350\_SOC.

## Description

L'objectif de ce projet est de synthétiser un processeur RISC-V sur une carte Zybo Z7-20. Le processeur devra pouvoir accéder à la mémoire DDR3 embarquée sur la carte et accéder aux E/S (e.g HDMI out, serial link ...). De même, il devra être possible de télécharger des applications C/C++ afin de tester le bon fonctionnement et les performances du processeur.



## Mise en oeuvre

Pour cette première itération, nous prévoyons l'instanciation d'un coeur Risc-V RV32 sans extension. Dans cet objectif, vous vous baserez sur le projet [Pico-RV32](#) en prenant soin de l'intégration avec les E/S existantes de la carte Zybo.

Vous réaliserez ensuite divers applications de test des E/S afin de s'assurer de leur bonne intégration (leds, switches ...)

Votre environnement de travail sera composé des éléments suivants:

- **[hardware]** carte Zybo Z7-20 avec cable USB faisant office de JTAG et d'alimentation

<sup>1</sup> On July 25, 2019 Alibaba's first RISC-V — XuanTie 910. In 2020, it featured a 12nm design with 16cores @ 2.5GHz

- **[synthesis tool chain]** la chaine Xilinx Vivado que vous utilisez déjà en TPs
- **[software tools suite]** vous mettrez en oeuvre tous les outils que vous jugerez bon à la mise en oeuvre d'applications de tests bas-niveau. A cette fin, l'outil Xilinx Vitis doit pouvoir vous y aider à condition de disposer du cross-compiler adapté.

### Beyond Pico-RV32

Bien entendu, ce projet ne se veut pas limitant au seul RV32: vous êtes tout à fait libre de mettre en oeuvre d'autres variantes de coeurs RISC-V. Cependant, il vous faudra apprécier leurs performances intrinsèques au moyen de benchmarks avec pour référence le processeur initialement synthétisé.

De même, vous pouvez explorer d'autres voies en utilisant d'autres outils ... voire de modifier l'architecture elle-même.

## Contact

Dr. François Thiebolt [thiebolt@irit.fr](mailto:thiebolt@irit.fr)

## Références

Pico-RV32 <https://github.com/YosysHQ/picorv32>

## Summary

**Responsable :** F.Thiebolt  
**Contexte :** Campus Ambient  
**Niveau :** Master SECIL  
**Dates :** 2023-2024  
**Rémunération :** *non applicable*  
**Keywords :** Risc-V, Vivado, Vitis, Xilinx Zynq.