

Université Paul Sabatier - Toulouse III
Laboratoire IRIT
118 route de Narbonne
31062 Toulouse cedex 9

OFFRE DE PROJET M1/M2

[FPGA] Build your own HW accelerator for an embedded Linux

Contexte

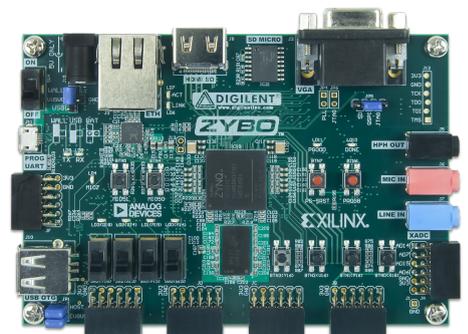
De nos jours, les accélérateurs matériels reconfigurables commencent peu à peu à infuser toutes les strates du monde IT: du datacenter avec les processeurs XEON platinum au systèmes embarqués à base de SOC tels que les Xilinx Zynq. Ces solutions matérielles reconfigurables que l'on nomme les FPGA ont été inventées au début des années 90 par l'entreprise Xilinx <https://www.xilinx.com>

Le point fondamental du FPGA est sa polyvalence; il vous permet de créer et tester une solution matérielle sans les pénalités financières et les délais associées aux ASICs. Ainsi, le futur challenger des processeurs ARMs qui se nomme RISC-V est aujourd'hui disponible sous la forme dite de *soft-core*: un bloc de propriété intellectuelle sous forme de code source dont les FPGA sont la base matérielle. Cette offre de projet représente ainsi pour vous une réelle opportunité de vous initier au monde du FPGA via la mise en oeuvre de votre propre accélérateur hardware. Pour notre équipe, ce projet représente une des briques de base du défi RISC-V auquel vont participer les étudiants du M2siame.

Objectifs

Le monde du FPGA peut être abordé de diverses façons et celle que nous vous proposons ici est l'une des plus ambitieuse. Votre objectif consiste en la création d'une application qui accèdera à votre futur accélérateur matériel via un système Linux embarqué que vous apprendrez également à construire. Vous pourrez ainsi faire montre du *speed-up* de votre accélérateur matériel comparé à une implémentation purement logicielle.

Les fonctionnalités de l'accélérateur matériel que vous allez implémenter en VHDL n'auront, en elles-mêmes, que peu d'importance: l'objectif principal réside dans les concepts sous-jacents à une mise en oeuvre conjointe matérielle et logicielle.



Mise en oeuvre

Nous utiliserons les cartes Xilinx Zybo, très proches de celles utilisées pour le défi RISC-V. La chaîne de développement logicielle sera constituée des outils Xilinx Vivado et Vitis. Le *boot loader* uBoot et la distribution Zynq Linux constitueront les aspects systèmes embarqués.

Le déroulé du projet fera apparaître les items suivants:

[1] uBoot + Zynq HW configuration

Via l'interface graphique de l'outil Xilinx Vivado, vous allez configurer les ressources internes du processeur (ports USB, Ethernet, GPIOs etc). Vous déposerez ensuite ces fichiers de configuration avec le **noyau Linux Zynq** et son **initial ramdisk** dans un serveur TFTP mis à disposition. Vous configurerez ensuite uBoot de la carte Zybo en mode *network boot*.

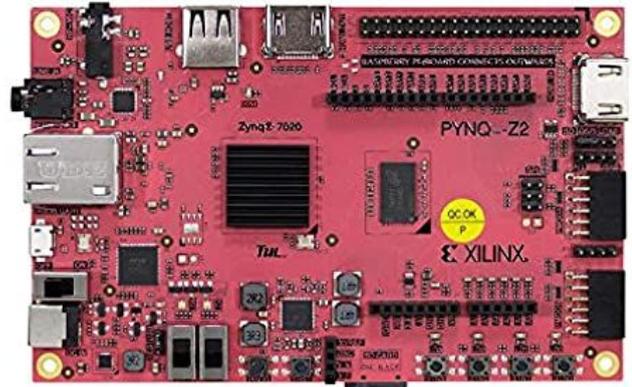
[2] Linux RootFS

Les solutions telles que PetaLinux ou le *Xilinx open-source Linux* ont pour objectif de construire un RootFS sous la forme d'une image unique chargée en ramdisk. De notre côté, nous préférons un système complet (e.g Armbian, Fedora, Debian) dans une partition séparée sur la sdcard. Un RootFS Linaro avait été installé lors d'une précédente itération du projet.

[3] HW accelerator

Le bus AXI assure la liaison entre les coeurs ARM cortex-A9 et le FPGA. Vous partirez d'un exemple VHDL simple pour implémenter votre accélérateur hardware (e.g *FIR filter*). Pour mettre à jour à la volée le FPGA depuis le système Linux, il suffit de faire `cat bitstream > /dev/xdevcfg`. Vous écrivez ensuite une l'application C qui accèdera aux emplacements mémoires de votre accélérateur.

Accessoirement, et selon le temps disponible, vous aurez également l'opportunité de tester la mise en oeuvre d'accélérateurs matériel via le langage python sur les cartes Xilinx PYNQ2.



Contact

Dr. François Thiebolt thiebolt@irit.fr
McF HDR Hughes Casse casse@irit.fr
Pr. Christine Rochange rochange@irit.fr

Références

Zynq Linux

<https://github.com/Xilinx/linux-xlnx>

<https://xilinx-wiki.atlassian.net/wiki/spaces/A/pages/18841961/Zynq+Linux>

Zybo comparison <https://blog.digilentinc.com/introducing-the-zybo-z7/>

Yocto Linux vs BuildRoot

http://events.linuxfoundation.org/sites/events/files/slides/belloni-petazzoni-buildroot-oe_0.pdf

Summary

Responsable : Dr Thiebolt François thiebolt@irit.fr

Contexte : Systèmes embarqués

Niveau : M1/M2

Dates : 2020-2021

Rémunération : *non applicable*

Keywords : FPGA, VHDL, SOC, Xilinx Zybo, Yocto Linux, conception conjointe matérielle-logicielle